

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   2 月 2 1 日  
Date of Application:

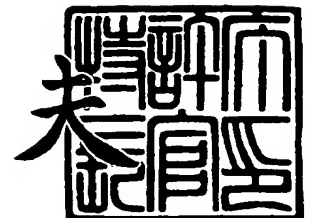
出 願 番 号            特 願 2 0 0 3 - 0 4 3 9 9 2  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 4 3 9 9 2 ]

出   願   人            株式会社ルネサステクノロジ  
Applicant(s):

2 0 0 3 年 1 0 月 2 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号   出証特 2 0 0 3 - 3 0 8 7 0 1 0

【書類名】 特許願

【整理番号】 H03000671

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/34

【発明者】

    【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
                          製作所 半導体グループ内

    【氏名】 松原 謙

【発明者】

    【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
                          製作所 半導体グループ内

    【氏名】 田村 隆之

【発明者】

    【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
                          製作所 半導体グループ内

    【氏名】 藤沢 友之

【特許出願人】

    【識別番号】 000005108

    【氏名又は名称】 株式会社 日立製作所

【代理人】

    【識別番号】 100085811

    【弁理士】

    【氏名又は名称】 大日方 富雄

【手数料の表示】

    【予納台帳番号】 027177

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1



【物件名】	要約書 1
【プルーフの要否】	要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置および記憶装置並びに不良記憶素子検出修復方法

【特許請求の範囲】

【請求項 1】 しきい値電圧の高低に応じて情報を記憶する複数の不揮発性記憶素子を有するメモリアレイを備え、

前記メモリアレイ内の複数のワード線にデータ読出し時における非選択状態の電圧に相当する電圧を印加してこれらのワード線に接続されている不揮発性記憶素子のいずれかに電流が流れるか否かを検出して前記メモリアレイ内に不良記憶素子が存在するか否か判定する第 1 の動作と、

該第 1 の動作により不良記憶素子が存在すると判定された場合に、前記複数のワード線のうちいずれか 1 つのワード線またはいずれか 1 つを除くワード線に記憶情報読出し時における非選択状態の電圧に相当する電圧を印加するとともに、前記いずれか 1 つを除くワード線またはいずれか 1 つのワード線に記憶情報読出し時における非選択状態の電圧よりも低い電圧を印加して、いずれかの不揮発性記憶素子に電流が流れるか否かを検出してしきい値電圧が所定の値よりも低い不良記憶素子を特定する第 2 の動作と、

を実行可能に構成されてなることを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記第 1 の動作と第 2 の動作が外部からの制御信号およびアドレス信号の入力に呼応して実行され、前記第 2 の動作による判定結果が外部へ出力可能に構成されていることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】 しきい値電圧の高低に応じて情報を記憶する複数の不揮発性記憶素子を有するメモリアレイを備え、

前記メモリアレイ内の複数のワード線に記憶情報読出し時における非選択状態の電圧に相当する電圧を印加してこれらのワード線に接続されている不揮発性記憶素子のいずれかに電流が流れるか否かを検出して前記メモリアレイ内に不良記憶素子が存在するか否か判定する第 1 の動作と、

該第 1 の動作により不良記憶素子が存在すると判定された場合に、前記複数の

ワード線のうちいずれか 1 つのワード線に記憶情報読出し時における非選択状態の電圧に相当する電圧を印加するとともに、前記いずれか 1 つのワード線を除く他のワード線に記憶情報読出し時における非選択状態の電圧よりも低い電圧を印加して、いずれか前記 1 つのワード線に接続されている不揮発性記憶素子に電流が流れるか否かを検出してしきい値電圧が所定の値よりも低い不良記憶素子を特定する第 2 の動作と、

前記第 2 の動作によって読出し増幅回路に保持された情報を用いて前記 1 つのワード線に接続されているしきい値電圧が所定の値よりも低い不揮発性記憶素子のしきい値電圧を高くする第 3 の動作と、

を実行可能に構成されてなることを特徴とする不揮発性半導体記憶装置。

【請求項 4】 前記メモリアレイは複数の不揮発性記憶素子がビット線またはソース線に対して並列に接続された第 1 のメモリ群を複数有するように構成されていることを特徴とする請求項 3 に記載の不揮発性半導体記憶装置。

【請求項 5】 前記メモリアレイは、複数の不揮発性記憶素子がビット線またはソース線に対して並列に接続された第 1 のメモリ群を複数個有する第 2 のメモリ群を複数個備え、前記第 1 の動作は前記第 2 のメモリ群ごとに実行されるように構成されていることを特徴とする請求項 4 に記載の不揮発性半導体記憶装置。

【請求項 6】 前記メモリアレイを複数個備え、前記第 1 の動作と第 2 の動作が前記複数個のメモリアレイにおいて並行して実行されるように構成されていることを特徴とする請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 7】 電源が投入された際に、前記第 1 の動作または第 1 の動作と第 2 の動作と第 3 の動作を実行するように構成されていることを特徴とする請求項 3～6 のいずれかに記載の不揮発性半導体記憶装置。

【請求項 8】 前記不揮発性記憶素子は書込み動作によってしきい値電圧が高い状態にされ、消去動作によってしきい値電圧が低い状態にされる素子であり、

消去動作中に電源が遮断され次に電源が投入された際に、前記第 1 の動作または第 1 の動作と第 2 の動作と第 3 の動作が実行されるように構成されていること

を特徴とする請求項 3 ～ 6 のいずれかに記載の不揮発性半導体記憶装置。

【請求項 9】 しきい値電圧の高低に応じて情報を記憶する複数の不揮発性記憶素子を有するメモリアレイを備え、

前記メモリアレイ内の複数のワード線にデータ読出し時における非選択状態の電圧に相当する電圧を印加してこれらのワード線に接続されている不揮発性記憶素子のいずれかに電流が流れるか否かを検出して前記メモリアレイ内に不良記憶素子が存在するか否かを判定する第 1 の動作と、

前記複数のワード線のうちいずれか 1 つのワード線またはいずれか 1 つを除くワード線に記憶情報読出し時における非選択状態の電圧に相当する電圧を印加するとともに、前記いずれか 1 つを除くワード線またはいずれか 1 つのワード線に記憶情報読出し時における非選択状態の電圧よりも低い電圧を印加して、いずれかの不揮発性記憶素子に電流が流れるか否かを検出してしきい値電圧が所定の値よりも低い不良記憶素子を特定する第 2 の動作と、

を実行可能であって、前記第 1 の動作による判定結果と前記第 2 の動作による判定結果とを外部へ出力可能な不揮発性半導体記憶装置と、

前記第 1 の動作および第 2 の動作を実行させるための制御信号およびアドレス信号を生成して前記不揮発性半導体記憶装置へ付与可能な制御回路と、を有し、

前記制御回路は、前記第 1 の動作を実行させるための制御信号およびアドレス信号を前記不揮発性半導体記憶装置へ与え、前記第 1 の動作による判定結果に応じて前記第 2 の動作を実行させるための制御信号およびアドレス信号を前記不揮発性半導体記憶装置へ与え、前記第 2 の動作による判定結果に応じて前記第 2 の動作によって検出されたしきい値電圧が所定の値よりも低い不揮発性記憶素子のしきい値電圧を高くする第 3 の動作を実行させるための制御信号およびアドレス信号を前記不揮発性半導体記憶装置へ与えることを特徴とする記憶装置。

【請求項 10】 前記メモリアレイは複数の不揮発性記憶素子がビット線またはソース線に対して並列に接続された第 1 のメモリ群を複数有するように構成されていることを特徴とする請求項 9 に記載の記憶装置。

【請求項 11】 しきい値電圧の高低に応じて情報を記憶する複数の不揮発性記憶素子を有するメモリアレイを備えた不揮発性半導体記憶装置における不良

記憶素子検出修復方法であって、

前記メモリアレイ内の複数のワード線に記憶情報読出し時における非選択状態の電圧に相当する電圧を印加してこれらのワード線に接続されている不揮発性記憶素子に電流が流れるか否かを検出して前記メモリアレイ内に不良記憶素子が存在するか否かを判定する第1の動作と、

該第1の動作により不良記憶素子が存在すると判定された場合に、前記複数のワード線のうちいずれか1つのワード線に記憶情報読出し時における非選択状態の電圧に相当する電圧を印加するとともに、前記いずれか1つのワード線を除く他のワード線に記憶情報読出し時における非選択状態の電圧よりも低い電圧を印加して、いずれかの不揮発性記憶素子に電流が流れるか否かを検出してしきい値電圧が所定の値よりも低い不良記憶素子を特定する第2の動作と、

前記第2の動作によって読出し増幅回路に保持された情報を用いて前記1つのワード線に接続されているしきい値電圧が所定の値よりも低い不揮発性記憶素子のしきい値電圧を高くする第3の動作と、

を含む不揮発性半導体記憶装置における不良記憶素子検出修復方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

この発明は、電氣的に書込み、消去可能な不揮発性半導体記憶装置における書込みまたは消去動作中の電源遮断等によってしきい値電圧が所定の値よりも低い記憶素子が発生した場合の救済技術に関し、例えばデータを所定の単位で一括消去可能なフラッシュメモリに利用して有効な技術に関するものである。

##### 【0002】

##### 【従来の技術】

フラッシュメモリは、コントロールゲートおよびフローティングゲートを有する2重ゲート構造のMOSFETからなる不揮発性記憶素子をメモリセルに使用しており、フローティングゲートの蓄積電荷量を変えることで、図16(A)に示すように、MOSFETのしきい値電圧を変化させ情報を記憶するようにしている。図16(A)においては、MOSFETのしきい値電圧が高い状態がデー

タ“1”に対応し、しきい値電圧が低い状態がデータ“0”に対応する。

#### 【0003】

かかるフラッシュメモリにおいては、データの書込み動作またデータの消去動作でメモリセルのしきい値電圧を変化させる。この場合、メモリセルの特性バラツキによってしきい値電圧の変化の仕方にばらつきがあり、図16(B)にハッチングで示すように、しきい値電圧が0V以下に下がったメモリセル（以下、デプリート状態と称する）が発生することがある。通常、このようにしきい値電圧が下がり過ぎたメモリセルは書上げもしくは書戻しと呼ばれる動作でしきい値電圧が所定の範囲に入るようにされる。

#### 【0004】

##### 【発明が解決しようとする課題】

しかしながら、メモリカードなどに使用されるフラッシュメモリにあつては、停電の発生やユーザーがカードをスロットから引き抜くことで書込みや消去動作の途中で電源が遮断されることがある。そのため、電源遮断によりメモリアレイ内の一部のメモリセルがデプリート状態のままになるおそれがある。かかるデプリート状態のメモリセルが発生すると、図18のように複数のメモリセルMCがビット線BLとソース線SLとの間に並列に接続されてなるいわゆるAND型又はNOR型のフラッシュメモリにあつては、選択されていないデプリート状態のメモリセルを通して電流が流れてしまい、選択メモリセルの記憶データを正確に読み出すことができない不良（以下、デプリート不良と称する）が発生する。

#### 【0005】

なお、図18は、メモリセルMC0が選択セル、MC1～MCnが非選択セルである場合の電流状態を示し、このうち図18(A)は非選択セルMC1～MCnのすべてがデプリート不良を起こしていない場合、図18(B)は非選択セルMC1～MCnのうちMC2がデプリート不良を起こしている場合を示す。図18(A)と(B)を比較すると明らかなように、選択セルMC0のしきい値電圧が高いためMC0を通してビット線BLからソース線SLへ電流Iが流れることはないが、非選択セルMC1～MCnの中にデプリート不良を起こしているメモリセルがあると、そのセル（図ではMC2）を通してビット線BLからソース線



S L へ電流 I が流れてしまい、データの誤読出しがなされてしまう。

#### 【0 0 0 6】

そして、デプリート不良を起したメモリセルを含むブロックが、メモリ上のファイルの位置を管理するテーブルデータやフォーマット情報などシステムにとって重要なデータを記憶するシステム領域として使用されていた場合には、メモリの認識ができなくなったりシステムの正常動作が不能になるおそれがある。そこで、デプリート不良を起したメモリセルを検出して修復することが考えられる。しかしながら消去動作等の途中に電源が遮断された場合、消去動作の対象であったメモリのアドレスが電源遮断により不明となるため、どのメモリセルがデプリート不良を起したか簡単には分からない。

#### 【0 0 0 7】

なお、デプリート不良を起したメモリセルを通常の消去状態に復帰させるようにした発明として、例えば特許文献 1 に記載のものがある。しかしながら、この先願発明のフラッシュメモリは、メモリセルのソース線がワード線単位で分離することが必要であり、もともとソース線が分かれているようなメモリには容易に適用することができるが、複数のメモリセルが共通のビット線とソース線との間に並列に接続された構成を有しソース線がワード線単位で分かれていないいわゆる AND 型や NOR 型のフラッシュメモリには先願発明をそのまま適用することができない。

#### 【0 0 0 8】

また、デプリート不良を起したメモリセルの検出を容易にするため、メモリセルが接続されるソース線を上記先願のようにあえてワード線単位で分離する方式も考えられるが、そのようにするとソース線をオン、オフするためのスイッチ素子およびそれらを選択的にオン、オフさせる信号を生成する回路が必要になり、回路規模が増大するという新たな課題が発生する。

#### 【0 0 0 9】

#### 【特許文献 1】

特開 2 0 0 2 - 1 9 7 8 7 6 号公報

#### 【0 0 1 0】

この発明の目的は、AND型やNOR型のフラッシュメモリのような複数のメモリセルが共通のビット線やソース線に並列接続された構成を有する電氣的に書込み、消去可能な不揮発性半導体記憶装置において、例えば書込みまたは消去動作により記憶素子のしきい値電圧を下げる動作をしている途中に電源が遮断されてデプリート状態のメモリセルが発生した場合に、そのデプリート不良を起こしたメモリセルを容易に検出できるようにすることにある。

#### 【0 0 1 1】

この発明の他の目的は、AND型やNOR型のフラッシュメモリのような複数のメモリセルが共通のビット線やソース線に並列接続された構成を有する電氣的に書込み、消去可能な不揮発性半導体記憶装置において、デプリート不良のメモリセルを検出し速やかにデプリート不良を修復できるようにすることにある。

#### 【0 0 1 2】

この発明のさらに他の目的は、不揮発性半導体記憶装置における上記のようなデプリート不良のメモリセルを検出およびデプリート不良の修復を、大規模な回路の追加を伴わずに実現できるようにすることにある。

この発明の前記ならびにほかの目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

#### 【0 0 1 3】

##### 【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、本願の第1の発明は、複数のメモリセルが共通のビット線やソース線に並列に接続されているフラッシュメモリのような不揮発性半導体記憶装置において、所定のコマンドが入力されまたは電源が投入された際等に、すべてのワード線を非選択状態にしてビット線に設けられた選択スイッチをオンさせて電流が流れるメモリセルがあるか否かをビット線が接続されたセンスアンプで検出してデプリート状態のメモリセルがあるか否か判定する。そして、デプリート状態のメモリセルが検出されたときは、共通のソース線とビット線に接続されたメモリセルが接続されているワード線のうち一つに順番に負電圧を印加し、残りのワ

ード線は非選択レベルにするように構成したものである。

#### 【0014】

上記した手段によれば、ワード線を非選択状態にしてビット線に設けられた選択スイッチをオンさせたときに、そのビット線に接続されたメモリセルの中にデプリート状態のメモリセルがあればソース線へ電流が流れてビット線の電位が下がり、デプリート状態のメモリセルがなければソース線へ電流が流れずビット線の電位は下がらないので、ビット線が接続されたセンスアンプでビット線の電位を検出することでデプリート状態のメモリセルがあるか否か判定することができる。

#### 【0015】

また、ワード線のうち一つに順番に負電圧を印加し、残りのワード線は非選択レベルにすると、デプリート状態のメモリセルが接続されたワード線に負電圧が印加されたときに電流が流れなくなるので、ビット線が接続されたセンスアンプでビット線の電位を検出することで、共通のソース線とビット線に接続されたメモリセルのうちどのメモリセルがデプリート状態であるか検出できるようになる。

#### 【0016】

また、望ましくは、デプリート状態のメモリセルが検出されたときは、そのときにセンスアンプに保持されている直前のリードデータを利用してビット線をハイレベルもしくはロウレベルに駆動し、当該デプリート状態のメモリセルが接続されているワード線に書込み電圧を印加して、メモリセルのしきい値電圧を高くする方向へ変化させる書戻し処理を行なう。これにより、デプリート状態のメモリセルを検出したときに速やかにそのメモリセルのしきい値電圧を高くさせてデプリート状態を修復することができる。

#### 【0017】

##### 【発明の実施の形態】

以下、本発明の一実施例を、図面を用いて説明する。

図1は、本発明を適用して好適な不揮発性記憶装置としてのフラッシュメモリの一例のブロック図を示す。

図 1 において、符号 1 0 は複数の不揮発性記憶素子（メモリセル）がマトリックス状に配置されたメモリアレイ、1 1 はアドレス（X アドレス）信号をデコードして前記メモリアレイ 1 0 内の対応するワード線を選択レベルにする X アドレスデコーダで、該 X アドレスデコーダ 1 1 にはワード線 WL を選択レベルに駆動するワードドライバ回路が含まれている。メモリアレイ 1 0 を構成するメモリセルは、フローティングゲートとコントロールゲートを有する MOS F E T からなり、フローティングゲートに注入される電荷の量に応じてしきい値電圧が高い状態または低い状態に設定されることにより情報を記憶するようにされる。

#### 【 0 0 1 8 】

なお、本明細書においては、しきい値電圧が最も低い状態を消去状態と称する。つまり、しきい値電圧を下げる動作を消去と称し、しきい値電圧を上げる動作を書込みもしくは書戻しと称する。

#### 【 0 0 1 9 】

図 1 において、符号 1 2 はメモリアレイ 1 0 内のビット線に接続されて書込みデータを保持したり読出し信号の増幅およびラッチを行なうセンスアンプ、1 3 は 1 本のワード線に接続された複数のメモリセルのうちバイト単位やワード単位など所定の単位で書込みデータや読出しデータを選択する Y アドレスデコーダ、1 4 は外部から入力された書込みデータを保持したりセンスアンプ 1 2 により増幅された読出しデータをさらに増幅してチップ外部へ出力するメインアンプである。

#### 【 0 0 2 0 】

また、2 0 は外部から入出力端子 I / O 0 ~ I / O 7 を介して入力されたコマンドコードをデコードするコマンドデコーダ 2 1 や X アドレスおよび Y アドレスを生成するアドレスカウンタ 2 1、内部電源の生成を制御する電源制御回路 2 3 など有し、入力されたコマンドに従って内部の制御信号を生成する制御部である。3 0 は該制御部 2 0 の制御シーケンスをマイクロプログラムのような形式で記憶するシーケンス用 R O M、4 0 はデータ書込み時や消去時、デプリート検出時に必要とされる高電圧（負電圧を含む）やそのための基準となる電圧を生成する内部電源回路である。

**【0021】**

内部電源回路40は、チャージポンプや電圧レギュレータ、基準電源回路などからなりデータ書込み時にワード線に印加される+15Vのような正の高電圧V<sub>PP</sub>やベリファイ電圧V<sub>WV</sub>を発生する正電圧回路41、データ消去時にワード線に印加する-18Vのような負の高電圧V<sub>EW</sub>を発生する負電圧回路42、正電圧回路41や負電圧回路42で生成された電圧を分圧する抵抗分割回路とアンプなどなる分圧回路43を備え、デプリート検出時に必要とされる-6Vのような負電圧V<sub>MW</sub>は負電圧回路42で発生されたデータ消去用の負電圧V<sub>EW</sub>を分圧回路43で分圧して生成するようにされている。内部電源回路40で生成された電圧はXアドレスデコーダ11等へ供給され、ワード線に印加される。

**【0022】**

入出力端子I/O0～I/O7は、上記コマンドの入力その他、書込みデータやアドレスの入力、リードデータの出力にも利用される。書込み時に外部より入出力端子I/O0～I/O7へ入力されたライトデータは前記メインアンプ14およびセンスアンプ12を経てメモリアレイ10へ供給され、アドレスは一旦制御部20に取り込まれてから動作モードやデータの長さに応じてアドレスカウンタ22で生成されたアドレスがアドレスデコーダ11、13へ供給される。

**【0023】**

また、この実施例のフラッシュメモリには、外部のコントローラから入力される例えばチップ選択信号/C<sub>E</sub>、書込み制御信号/W<sub>E</sub>、出力制御信号/O<sub>E</sub>、読出し制御信号/R<sub>E</sub>等の制御信号が入力される制御端子が設けられており、これらの制御端子へ入力された制御信号は制御部20へ供給され、これらの制御信号に従ってチップ内部の動作状態が制御される。ここで、特に制限されるものではないが、符号の前に「/」が付記されている信号は、ロウレベルが有効レベルであること意味する。また、制御部20からはチップにコマンドを入力することが可能な状態にあるか否かを示すレディ/ビジー信号R/Bがチップ外部へ出力されるようにされている。

**【0024】**

この実施例のフラッシュメモリのメモリアレイは、図2に示されているように

、 $n$  個 ( $n$  は正の整数) のメモリセル  $MC_1 \sim MC_n$  がローカルビット線  $LBL_1, LBL_2 \dots$  とローカルソース線  $LSL_1, LSL_2 \dots$  との間に並列に接続された複数のメモリ列がワード線方向に  $k$  個並んで配設されているいわゆる AND 型のメモリアレイである。本明細書ではこれ  $n \times k$  個のメモリセル群をストリングと称する。

#### 【0025】

本実施例のメモリアレイには、このようなストリングが複数個設けられている。各ストリング内の横方向つまり同一行のメモリセルはそれぞれ共通のワード線  $WL_1-1, WL_1-2, \dots, WL_1-n$  に接続されている。本明細書では、同一のワード線に接続されたメモリセル群をセクタと称する。本実施例のフラッシュメモリは、このセクタを単位として書込みと消去を行なうように構成されている。

#### 【0026】

さらに、上記ローカルビット線  $LBL_1, LBL_2 \dots, LBL_k$  は、それぞれ選択 MOSFET  $Q_{s11}, Q_{s12} \dots, Q_{s1k}$  を介して対応するグローバルビット線  $GBL_1, GBL_2 \dots, GBL_k$  に接続可能にされている。グローバルビット線  $GBL_1, GBL_2 \dots, GBL_k$  には、他のストリング内の対応するメモリ列のローカルビット線が同じく選択 MOSFET  $Q_{s11}, Q_{s12} \dots, Q_{s1k}$  を介して接続可能にされている。

#### 【0027】

また、同一ストリング内のローカルソース線  $LSL_1, LSL_2 \dots, LSL_k$  はソース側選択 MOSFET  $Q_{s21}, Q_{s22} \dots, Q_{s2k}$  を介してコモンソース線  $CSL$  に接続されている。選択 MOSFET  $Q_{s11}, Q_{s12} \dots, Q_{s1k}$  および  $Q_{s21}, Q_{s22} \dots, Q_{s2k}$  は、X アドレスデコーダ 11 から所定のタイミングで供給される信号によって選択的にオン、オフされる。

#### 【0028】

なお、書込みまたは消去時にはいずれかのストリング内の  $n$  本のワード線のうち 1 本が選択にされ、書込み時には  $1.5V$  のような正の高電圧がまた消去時には  $-1.8V$  のような負の高電圧が選択ワード線に印加される。書込み時にしきい値

電圧を高くしたいメモリセルに対応したローカルビット線には 0 V が印加され、しきい値電圧を高くしたくないメモリセルに対応したローカルビット線には 5 V が印加される。これにより、同一ワード線に接続されたメモリセルのしきい値電圧が選択的に高くされる。書込み時にローカルビット線に 0 V を印加するか 5 V を印加するかは、グローバルビット線 GBL 1, GBL 2 …… GBL k に接続されたセンスアンプ SA 1 ~ SA k に保持されている書込みデータに応じて決定される。

#### 【0029】

次に、本実施例のフラッシュメモリにおけるデプリート不良のメモリセルの検出処理手順を、図 3 のフローチャートを用いて説明する。このフローチャートに従った処理は、例えばフラッシュメモリが外部から専用のコマンドを受けたときにシーケンス ROM 30 内に予め格納されている所定のシーケンスを制御部 20 が読み出して実行することにより開始される。

#### 【0030】

本実施例のフラッシュメモリにおけるデプリート不良のメモリセルの検出は、デプリート不良の有無をストリング毎に判定する第 1 段階（以下、ストリング検出と称する）と、デプリート不良があったときにどのメモリセルが不良であるかを特定する第 2 段階（以下、ワード検出と称する）とからなる。

#### 【0031】

図 3 のように、デプリート不良のメモリセルの検出処理が開始されると、先ずステップ S 1 で最初のストリングについてデプリート不良の有無を検出し、なければステップ S 2 で最終ストリングか否か判定して最終ストリングでない時はステップ S 3 でストリング番号を更新してステップ S 1 へ戻る。そして、ステップ S 1 で着目ストリング内にデプリート不良があると判定した時はステップ S 4 へ移行し、どのメモリセルが不良であるかを特定するワード検出を開始する。

#### 【0032】

ワード検出では、先ず最初のワード線についてデプリート不良の有無を検出し、なければステップ S 5 で最終ワード線か否か判定して最終ワード線でない時はステップ S 6 で選択ワード線を更新してステップ S 4 へ戻る。そして、ステップ

S4で選択ワード線に接続されているメモリセルにデプリート不良があると判定した時はステップS7へ移行し、デプリート修復処理を実行しステップS2へ戻る。

#### 【0033】

次に、本実施例のフラッシュメモリにおけるデプリート不良のメモリセルの検出の原理を、図4～図7の回路図を用いて説明する。

デプリート不良の有無をストリング毎に判定する第1段階では、図4のように、着目するストリング内の全てのワード線WL1～WLNを非選択レベル（VSS＝0V）にするとともに、ドレイン側とソース側の選択MOSFET Qs11, Qs12, ……Qs1kおよびQs21, Qs22, ……Qs2kをオン状態にして、センスアンプSA1, SA2……SAkによりグローバルビット線GBL1, GBL2, ……GBLkを介して、着目ストリング内のローカルビット線LBL1, LBL2……LBLkをハイレベル（例えば3.3V）にプリチャージする。

#### 【0034】

このとき、デプリート不良でないメモリセルのしきい値電圧はワード線の非選択レベルよりも高くオン状態にされることはないので、着目ストリング内にデプリート不良のメモリセルがなければ、図4のようにいずれのローカルビット線LBL1, LBL2……LBLkの電位も下がらない。そのため、センスアンプSA1, SA2……SAkはすべてハイレベル（データ“1”）を検出する。

#### 【0035】

一方、デプリート不良のメモリセルのしきい値電圧はワード線の非選択レベルよりも低くオン状態にされるので、着目ストリング内にデプリート不良のメモリセルがあれば、図5のようにデプリート不良のメモリセルを通してビット線からソース線へ電流が流れ、ビット線の電位が下がる。そのため、当該ビット線に接続されたセンスアンプはロウレベル（データ“0”）を検出する。図5は、ローカルビット線LBL1に接続されたメモリセルMC2がデプリート不良を起こしており、センスアンプSA1がロウレベルを検出する様子を示している。

#### 【0036】



次に、デプリート不良のメモリセルを特定する第2段階では、図6および図7のように、着目するストリング内の全てのドレイン側とソース側の選択MOSFET  $Q_{s11}$ ,  $Q_{s12}$ , …… $Q_{s1k}$  および  $Q_{s21}$ ,  $Q_{s22}$ , …… $Q_{s2k}$  をオン状態にするとともに、ワード線WLM-1~WLM-nを1本ずつ順番に選択レベルにし他のワード線はすべて非選択レベルにして、センスアンプSA1, SA2……SAkによりグローバルビット線を介して着目ストリング内のローカルビット線LBL1, LBL2……LBLkをハイレベル（例えば3.3V）にプリチャージする。

#### 【0037】

ただし、この実施例のプリート不良検出におけるワード線を選択レベルは、通常の読出し時の選択レベルではなく通常の読出し時の非選択レベルと同じVSS（=0V）である。一方、非選択のワード線のレベルVMWは通常の読出し時の非選択レベルではなく、デプリート不良のメモリセルのしきい値電圧よりも低い例えば-6Vのような負電圧とされる。

#### 【0038】

デプリート不良でないメモリセルはそのしきい値電圧がワード線を選択レベルVSS（0V）および非選択レベルVMW（-6V）のいずれよりも低く常にオフ状態にされるが、デプリート不良はそのメモリセルのしきい値電圧がワード線を選択レベルVSS（0V）よりも低く非選択レベルVMW（-6V）よりも高いのでワード線のレベルに応じてオンまたはオフ状態にされる。

#### 【0039】

そのため、ワード線WL1~WLNを1本ずつ順番に選択レベルにしたとき、選択レベルVSS（0V）が印加されたワード線にデプリート不良のメモリセルが接続されていなければ、図6のようにデプリート不良のメモリセルはオフ状態となり、いずれのローカルビット線LBL1, LBL2……LBLkの電位も下らない。そのため、センスアンプSA1, SA2……SAkはすべてハイレベル（データ“1”）を検出する。

#### 【0040】

一方、選択レベルVSS（=0V）が印加されたワード線にデプリート不良のメ

メモリセルが接続されていると、デプリート不良のメモリセルのしきい値電圧よりワード線の選択レベルVSS (= 0 V) の方が高いため、非選択レベル (-6 V) ではオフしていたメモリセルがオン状態にされる。そのため、図7のようにオン状態のメモリセルを通してビット線からソース線へ電流が流れてビット線の電位が下がり、当該ビット線に接続されたセンスアンプはロウレベル (データ “0”) を検出する。

#### 【0041】

図7は、ローカルビット線LBL1に接続されたメモリセルMC2がデプリート不良を起こしており、センスアンプSA1がロウレベルを検出する様子を示している。従って、センスアンプSA1, SA2……SAkのうち1つでもロウレベル (データ “0”) を検出したものがあれば当該ワード線 (セクタ) にデプリート不良のメモリセルがあると判定することができる。

#### 【0042】

さらに、本実施例においては、上記のようにしてデプリート不良のメモリセルがあるワード線を検出した時にセンスアンプSA1, SA2……SAkに保持されている読出しデータを用いて書込みを行なうことにより、デプリート不良のメモリセルのしきい値電圧を高くするデプリート不良修復処理を行なうようにしている。図8にはデプリート不良修復時の状態が示されている。

#### 【0043】

図8のように、デプリート不良修復時には不良が検出されたストリング内の全てのドレイン側とソース側の選択MOSFET  $Q_{s11}$ ,  $Q_{s12}$ , …… $Q_{s1k}$  および  $Q_{s21}$ ,  $Q_{s22}$ , …… $Q_{s2k}$  非選択レベル (0 V) にして、読出しデータを保持しているセンスアンプSA1, SA2……SAkによりグローバルビット線GBL1, GBL2……GBLkを介してローカルビット線LBL1, LBL2……LBLkを駆動する。

#### 【0044】

これにより、デプリート不良のメモリセルが接続されたビット線 (図ではLBL1) にはロウレベル (0 V) の書込み電圧が印加され、それ以外のビット線にはハイレベル (例えば5 V) の書込み阻止電圧が印加される。その結果、デプリー

ート不良のメモリセルのフローティングゲートにのみ負電荷が注入されてしきい値電圧が高くされ、デプリート不良が修復される。デプリート不良修復時に書込み電圧  $V_{PP}$  が印加される時間または回数は、通常の手込み時に書込み電圧  $V_{PP}$  が印加される時間よりも短いまたは印加回数が少なくされる。

#### 【0045】

次に、デプリート不良のメモリセルを特定する第2段階の他の実施例を、図9および図10を用いて説明する。デプリート不良を含むストリングを検出する第1段階は前記実施例と同じである。

この実施例の第2段階では、図のように、着目するストリング内の全てのドレイン側とソース側の選択MOSFET  $Q_{s11}$ ,  $Q_{s12}$ , ……および  $Q_{s21}$ ,  $Q_{s22}$ , ……をオン状態にするとともに、ワード線  $WL1 \sim WLN$  を1本ずつ順番に選択レベル  $V_{MW}$  にして、センスアンプ  $SA1$ ,  $SA2 \dots SA_k$  によりグローバルビット線を介して着目ストリング内のローカルビット線  $LBL1$ ,  $LBL2 \dots LBL_k$  をハイレベル（例えば3.3V）にプリチャージする。

#### 【0046】

ただし、この実施例のデプリート不良検出におけるワード線の選択レベル  $V_{MW}$  は、通常の手出し時の選択レベルではなく、デプリート不良のメモリセルのしきい値電圧よりも低い例えば-6Vのような負電圧とされる。非選択のワード線のレベルは通常の手出し時の非選択レベル（ $V_{SS} = 0V$ ）と同じで良い。

#### 【0047】

このとき、デプリート不良のメモリセルのしきい値電圧はワード線の非選択レベルよりも低くオン状態にされるので、選択レベル  $V_{MW}$  が印加されたワード線に接続されたメモリセルの中にデプリート不良のメモリセルがなく非選択レベル  $V_{SS}$  が印加されたワード線に接続されたメモリセルの中にデプリート不良のメモリセルがあると、図9のようにデプリート不良のメモリセルを通してビット線からソース線へ電流が流れてビット線の電位が下がる。そのため、当該ビット線に接続されたセンスアンプはロウレベル（データ“0”）を検出する。図9にはローカルビット線  $LBL1$  に接続されたメモリセル  $MC2$  がデプリート不良を起こしており、センスアンプ  $SA1$  がロウレベルを検出する様子を示している。

## 【0048】

一方、選択レベルVMWが印加されたワード線に接続されたメモリセルの中にデプリート不良のメモリセルがあると、デプリート不良のメモリセルのしきい値電圧よりワード線を選択レベルVMWの方が低いため、非選択レベルではオンしていたメモリセルがオフ状態にされる。そのため、図10のようにいずれのローカルビット線LBL1, LBL2……LBLkの電位も下がらなくなり、センスアンプSA1, SA2……SAkはすべてハイレベル（データ“1”）を検出する。

## 【0049】

図6および図7を用いて説明した前記第1の実施例のデプリート不良検出（第2段階）では、数の少ない選択ワード線のレベルとしてVSS（0V）を用い、数の多い非選択のワード線のレベルとして負電圧VMW（-6V）を用いているので、消費電力が多くなるという不具合がある。これに対し、本第2実施例では、数の少ない選択ワード線のレベルとして負電圧VMW（-6V）を用い、数の多い非選択のワード線のレベルとしてVSS（0V）を用いているので、消費電力が少なくなるという利点がある。

## 【0050】

ただし、この第2の実施例を適用するとワード線が異なる2以上のメモリセルがデプリート不良を起こしている場合にメモリセルを特定できないとともに、デプリート不良を検出した時点でセンスアンプのデータはすべて同一になるのでセンスアンプの読出しデータを用いてデプリート不良修復は行なえないという不具合がある。従って、複数のワード線単位（ストリング単位）で消去動作を行なうような不揮発性メモリには、本実施例はあまり有効でない。このような不揮発性メモリとしては、例えば図15に示されているようないわゆるNOR型のフラッシュメモリがある。

## 【0051】

しかるに、AND型のフラッシュメモリの中にはワード線単位で消去を行なうものがあり、かかるフラッシュメモリにおいては消去動作の途中で電源が遮断されてもデプリート不良を起こすメモリセルは1つのワード線に接続されているも

のみであり、ワード線が異なる 2 以上のメモリセルがデプリート不良を起こすことはほとんどない。また、デプリート不良修復はセンスアンプの読出しデータを用いなくてもデプリート不良のメモリセルが接続されたワード線の全てのメモリセルに対して一括書込みをしたり消去コマンドを実行することができるので、本実施例を適用することが極めて有効である場合がある。

#### 【0052】

なお、デプリート不良修復のための書込み動作を、通常の手書き込みコマンドによって起動されるような書込みシーケンスの実行で行なうとメモリセルのしきい値電圧が上がり過ぎるおそれがある。そこで、例えば消去シーケンスの中に設けられている書き戻し処理のサブシーケンスを走らせることで実行するようにするのが望ましい。また、デプリート不良を修復するのに消去コマンドを実行するのは、一見矛盾するように見えるが消去シーケンスの中には上述したように書き戻しのサブシーケンスがあるのでそれによってデプリート不良を修復することができる。

#### 【0053】

しかも、消去動作の初期に電源が遮断された場合を考えるとメモリセルの中にはデプリート不良を起こしたものの他に消去分布の上限値以下にならないメモリセルが生じることもある。例えば消去対象のメモリセルの中にデータ“1”（しきい値電圧高）を記憶しているものとデータ“0”（しきい値電圧低）を記憶しているものが混じっている場合、一回だけ消去パルスを印加した場合を想定すると、データ“1”のメモリセルのしきい値電圧は消去分布の上限値  $VE_{VH}$  以下にならない一方、データ“0”のメモリセルのしきい値電圧は 0 V 以下になり、図 17 (A) のようなしきい値電圧分布で電源遮断が生じることは十分に考えられる。

#### 【0054】

従って、このような状態でデプリート不良を検出した時に消去コマンドを実行するようにすれば、図 17 (B) のようにデプリート不良を起こしたメモリセルのしきい値電圧を消去分布の下限值  $VE_{VL}$  以上にしかつ消去分布の上限値  $VE_{VH}$  以下になっていないメモリセルのしきい値電圧を消去分布の上限値  $VE_{VH}$  以下にす

ることができる。

#### 【0055】

またワード線毎にデプリート不良の検出を行いデプリート不良の解消を行った後、アドレスインクリメントを行い次のワード線のデプリート不良検出を行うのではなく、該ストリングに対してデプリート不良の検出を行い尚もデプリート不良を検出した場合にアドレスインクリメントを行うようにしても良い。ストリングを構成するワード線の本数が比較的多い場合に、常に全てのワード線のデプリート不良検出を行うと処理時間が長くなることが考えられ、また例えばAND型メモリセルのようにワード線単位に消去動作を行うような不揮発性メモリでは、1のワード線のみにおいてデプリート不良を生じていると考えて良い場合もあるからである。

#### 【0056】

更に、例えばNOR型メモリアレイのように、消去動作の対象がストリング単位である場合、図3のステップS1でデプリート不良を検出した段階で、該ストリングに対して消去動作を実行するようにすれば、該ストリング内にしきい値電圧の高いメモリセルや複数のワード線にデプリート状態のメモリセルが含まれる場合であっても、ワード線毎にデプリート検出を行うことなく該ストリングのメモリセルのしきい値電圧を消去分布内に収めることが可能となり、処理を早期に完了することが出来る。

#### 【0057】

次に、本発明の第3の実施例について説明する。第3の実施例は、例えば図11に示すようなフラッシュメモリとコントローラを内蔵したメモリカードのようなシステムにおいて、フラッシュメモリとコントローラとの共同によってデプリート不良を修復するものである。

#### 【0058】

まず、図11のメモリカード100の構成について簡単に説明する。

図11において、符号110は前記実施例で説明したような所定の単位でデータを電氣的に一括消去することが可能なフラッシュメモリ、120は外部から供給されるコマンドに基づいて上記フラッシュメモリ110に対するデータの書込

みや読出しの制御を行なうコントローラである。フラッシュメモリ 110 とコントローラ 120 は、それぞれ別個の半導体チップ上に半導体集積回路として形成されており、これら 2 つの半導体チップが図示しない基板上に実装され全体が樹脂でモールドもしくはセラミックパッケージ等に収納されてカードとして構成されている。

#### 【0059】

また、カードの一侧には、外部の装置のカードスロットに挿入されたときに外部装置側の回路と電氣的に接続され、外部の装置からメモリカード 100 に対して電源を供給したり信号の入出力を行なうための外部端子群 130 が設けられ、これらの外部端子は上記基板上に形成されたプリント配線もしくはボンディングワイヤによって上記コントローラ 120 の外部端子としてのパッドに接続される。フラッシュメモリ 110 とコントローラ 120 との間はプリント配線によって接続してもよいし、コントローラ 120 とフラッシュメモリ 110 とをいずれか一方の上に他方を搭載してボンディングワイヤによって接続するようにしてもよい。

#### 【0060】

コントローラ 120 は、データ転送などカード内部全体の制御を行なうマイクロプロセッサ (MPU) 121 と、外部の装置との間の信号のやり取りを行なうホストインタフェース部 122 と、フラッシュメモリ 120 との間の信号のやり取りを行なうメモリインタフェース部 123 と、外部から入力されたコマンドや書き込みデータ、フラッシュメモリ 110 から読み出された読出しデータを一次保持する RAM (ランダムアクセスメモリ) などからなるバッファメモリ 124 と、該バッファメモリ 124 に対するデータの書き込み読出しの制御を行なうバッファ制御部 125 などから構成されている。バッファ制御部 125 には、フラッシュメモリ 110 への書き込みデータに対するエラー訂正符号の生成およびエラー訂正符号に基づく読出しデータのチェックと訂正の機能を有するエラー訂正符号生成&エラー訂正回路を設けることも可能である。

#### 【0061】

この第 3 実施例においては、フラッシュメモリ 110 には前記第 1 実施例にお

けるデプリート不良検出修復機能のうち検出機能のみ設けられる。また、フラッシュメモリのデプリート不良検出機能はストリング検出機能とワード検出機能に分けられ、それぞれの機能は専用のコマンドとアドレスの入力によって、入力アドレスにより指定されたストリングもしくはワード線に対して実行されるように構成される。なお、デプリート不良の修復は、前述した書込みコマンドや消去コマンドのような既存のコマンドを使用して実行することができる。従って、この実施例では、コントローラ 1 2 0 が上記のようなコマンドとアドレスを、また必要に応じて修復のためのデータを生成してフラッシュメモリ 1 1 0 に与える必要がある。

#### 【 0 0 6 2 】

さらに、フラッシュメモリの制御部 2 0 は上記検出機能によって検出された結果を反映するステータスレジスタが設けられ、コントローラ 1 2 0 がコマンドを与えて所定時間後にステータスレジスタを読み出すことにより検出結果を知ることができるようになる。ただし、ステータスレジスタを設ける代わりに、検出結果を示す信号が外部端子から出力されるように構成しても良い。

#### 【 0 0 6 3 】

また、この実施例では、検出結果をステータスレジスタに反映する代わりに、センスアンプの読出しデータをコントローラがチェックしてデプリート不良があるか否か判定するように構成することができる。この場合、フラッシュメモリには読出しデータの判定回路が不要であり、アドレスに基づいて生成される制御信号（例えばワード線をすべて非選択レベルにしてドレイン側とソース側の選択 MOSFET をオンさせるための信号）とその電圧レベルをコマンドに応じて設定する機能を追加するだけで良い。

#### 【 0 0 6 4 】

この第 3 実施例におけるデプリート不良検出修復処理は、図 3 に示されているフローチャートと同一の手順で行なうことができる。前記実施例との差異は、図 3 のフローチャートに従った処理が、フラッシュメモリ内部の制御部 2 0 でなく、外部のコントローラ 1 2 0 によって実行される点である。

#### 【 0 0 6 5 】



なお、この第3実施例では、図11のフラッシュメモリ110とコントローラ120とが別個の半導体集積回路として構成されていると説明したが、図11のフラッシュメモリ110とコントローラ120とを1つの半導体チップ上に形成して1つの半導体集積回路として構成することも可能である。このような半導体集積回路もデプリート不良検出と修復をすべて自動的に行なう半導体集積回路とみなすことができる。

#### 【0066】

次に、本発明の変形例を説明する。

前記実施例では、コントローラ120がフラッシュメモリ110に所定のコマンドを与えることでデプリート不良検出修復処理が実行されると説明したが、第1の変形例は、図12に示すように、電源投入時にフラッシュメモリ自身が、内部電源回路40内の基準電源回路の立上げや電圧トリミング用のヒューズの状態の読み込み等の通常パワーオン処理（ステップS21）の実行後に、シーケンスROMからデプリート不良検出修復シーケンスを読み出して実行するようにしたのである。

#### 【0067】

これにより、コントローラ120の負担を軽減することができる。つまり、コントローラ側から何らコマンドを付与することなく、フラッシュメモリが自動的にデプリート不良検出し修復することができる。フラッシュメモリ内に消去途中の電源遮断を検出回路とそれを記憶するフラグ（1ビットの不揮発性メモリ）を設けて、電源立上げ時にそのフラグをチェックしてフラグが立っている時にのみデプリート不良検出修復シーケンスを読み出して実行するようにしてもよい。

#### 【0068】

また、フラッシュメモリ内にアドレス変換テーブルなどを記憶するシステムでは、ステップS11のパワーオン処理でテーブルデータを外部のSRAMなどに読み出すシーケンスを実行するようにすることがあるが、かかるシステムでは、パワーオン処理を2つに分けて基準電源回路の立上げや電圧トリミング用のヒューズの状態の読み込み処理はデプリート不良検出修復処理の前に行ない、テーブルデータを読み出すシーケンスはデプリート不良検出修復処理の後で行なうように

するのが良い。

#### 【0 0 6 9】

第2の変形例は、大容量化と高速化のために1つのチップ内に複数のメモリアレイ（以下、バンクと称する）を設けるマルチバンク方式を採用したメモリチップに本発明を適用する場合のものである。マルチバンク方式を採用したメモリチップでは、例えば図13に示すように複数のバンクBANK 0～BANK nに対応してそれぞれSRAMなどからなるバッファメモリBFM 0～BFM nを設けることで複数のバンクの並列書込みが可能になる。

#### 【0 0 7 0】

かかるマルチバンク方式のフラッシュメモリでは、各バンクのデプリート不良検出及び修復をバンクBANK 0から順番に行なっていくことも考えられるが、第2の変形例は、図14に示すように、複数のバンクで並行してデプリート不良検出及び修復処理S 2 1, S 2 2……S 2 nを実行するようにしたものである。図14に示されている各デプリート不良検出及び修復処理S 2 1, S 2 2……S 2 nは、それぞれ図3に示されているような手順に従って並行して実行される。

#### 【0 0 7 1】

さらに、前記実施例においては、複数の記憶素子が互いに平行に配設されたローカルビット線とローカルソース線との間に並列に接続されたメモリ列からなるいわゆるAND型のフラッシュメモリについて説明したが、図15に示すように、同一列の記憶素子のドレインは共通のビット線BL 1, BL 2……BL kに接続され、同一行の記憶素子のソースは共通のソース線SL 1, SL 2……SL nに接続されたいわゆるNOR型のフラッシュメモリに対しても適用することができる。

#### 【0 0 7 2】

すなわち、図15のNOR型等のフラッシュメモリにおいても、すべてのワード線WL 1～WL nを非選択状態（VSS）にしてセンスアンプSA 1～SA kによりビット線BL 1～BL kのレベルをそれぞれ検出することでアレイ内にデプリート状態のメモリセルが存在するか否か検出することができる。さらに、ワード線WL 1～WL nに順番に選択電圧（VSS）を印加し残りのワード線に負の非

選択電圧VMWを印加してセンスアンプSA1～SAkによりビット線BL1～BLkのレベルを検出することで、デプリート状態のメモリセルを特定することができる。そして、そのときのセンスアンプSA1～SAkの読出しデータを用いてデプリート不良のメモリセルのしきい値電圧を修復することが可能である。

#### 【0073】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、実施例においては、1つの記憶素子（メモリセル）に1ビットのデータを記憶可能な2値のフラッシュメモリについて説明したが、本発明は1つの記憶素子に2ビット以上のデータを記憶する多値のフラッシュメモリに対しても適用することができる。

#### 【0074】

また、実施例においてはメモリセルのしきい値電圧が低い状態を消去状態と称し、しきい値電圧が高い状態を書込み状態と称しているが、メモリセルのしきい値電圧が高い状態を消去状態に対応させ、しきい値電圧が低い状態を書込み状態に対応させるようにしたフラッシュメモリに対しても本発明を適用することができる。その場合、書込み動作の途中で電源が遮断された場合に発生したデプリート不良を検出し修復するのに本発明を適用すると有効である。

#### 【0075】

さらに、前記実施例においては、メモリアレイを構成する記憶素子がフローティングゲートとコントロールゲートを有するMOSFETで構成されている不揮発性メモリについて説明したが、本発明はMONOS構造の記憶素子を持つ不揮発性メモリ等に対しても適用することができる。また、実施例においては、デプリート不良の有無を検出する1段階目の検出をストリング毎に行っているが、メモリアレイ全体で行ない、デプリート不良が見つかったら不良セルを特定する2段階目の検出を行なうように構成することも可能である。

#### 【0076】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュメモリに適用した場合について説明したが、この発明は

それに限定されるものでなく、本発明は、電圧を印加してしきい値電圧を変化させて情報の記憶を行なう不揮発性記憶素子を有する半導体メモリに広く利用することができる。

#### 【0077】

##### 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、AND型やNOR型のフラッシュメモリのような複数のメモリセルが共通のビット線やソース線に並列接続された構成を有する電氣的に書込み、消去可能な不揮発性半導体記憶装置において、書込みまたは消去動作により記憶素子のしきい値電圧を下げる動作をしている途中に電源が遮断されてデプリート状態のメモリセルが発生した場合に、そのデプリート不良のメモリセルを容易に検出できるようになる。

#### 【0078】

また、デプリート不良のメモリセルを検出し速やかにデプリート不良を修復することができる。しかも、このようなデプリート不良のメモリセルを検出およびデプリート不良の修復を、大規模な回路の追加を伴わずに実現することができる。

##### 【図面の簡単な説明】

#### 【図1】

本発明を適用して有効な不揮発性半導体記憶装置の一例としてのフラッシュメモリの概略構成例を示すブロック図である。

#### 【図2】

実施例のAND型フラッシュメモリのメモリアレイの構成例を示す回路説明図である。

#### 【図3】

実施例のフラッシュメモリにおけるデプリート不良検出及び修復処理の手順の一例を示すフローチャートである。

#### 【図4】

実施例のフラッシュメモリにおけるデプリート不良検出の第 1 段階（デプリート不良を含まないストリング選択時）を示す回路説明図である。

【図 5】

実施例のフラッシュメモリにおけるデプリート不良検出の第 1 段階（デプリート不良を含むストリング選択時）を示す回路説明図である。

【図 6】

実施例のフラッシュメモリにおけるデプリート不良検出の第 2 段階（デプリート不良を含まないワード線選択時）を示す回路説明図である。

【図 7】

実施例のフラッシュメモリにおけるデプリート不良検出の第 2 段階（デプリート不良を含むワード線選択時）を示す回路説明図である。

【図 8】

実施例のフラッシュメモリにおけるデプリート不良修復時の状態を示す回路説明図である。

【図 9】

第 2 の実施例のフラッシュメモリにおけるデプリート不良検出の第 2 段階（デプリート不良を含まないワード線選択時）を示す回路説明図である。

【図 1 0】

第 2 の実施例のフラッシュメモリにおけるデプリート不良検出の第 2 段階（デプリート不良を含むワード線選択時）を示す回路説明図である。

【図 1 1】

実施例のフラッシュメモリを利用したメモリカードの一構成例を示すブロック図である。

【図 1 2】

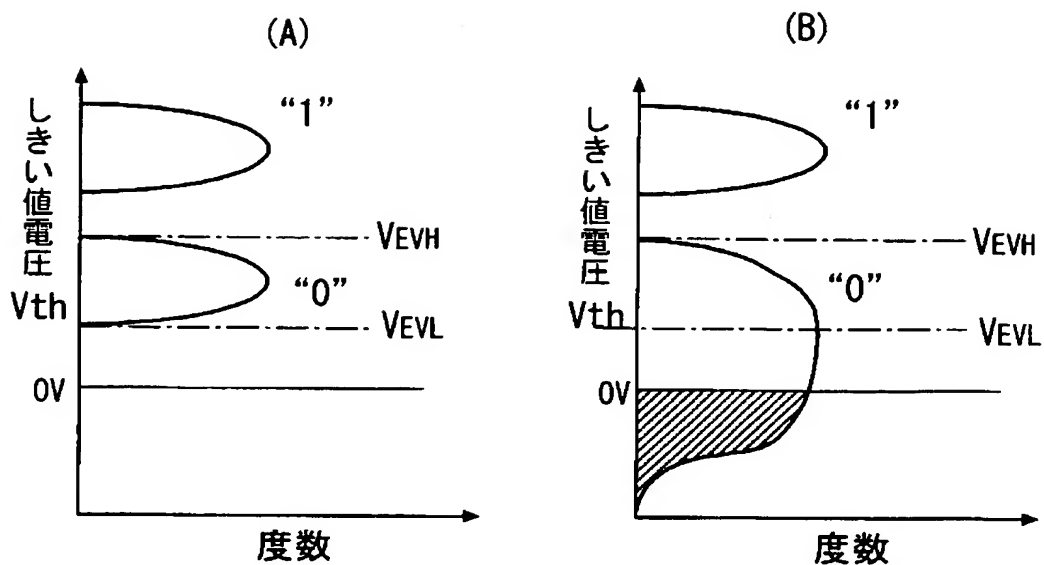
実施例のフラッシュメモリの第 1 の変形例を示す電源投入時のフローチャートである。

【図 1 3】

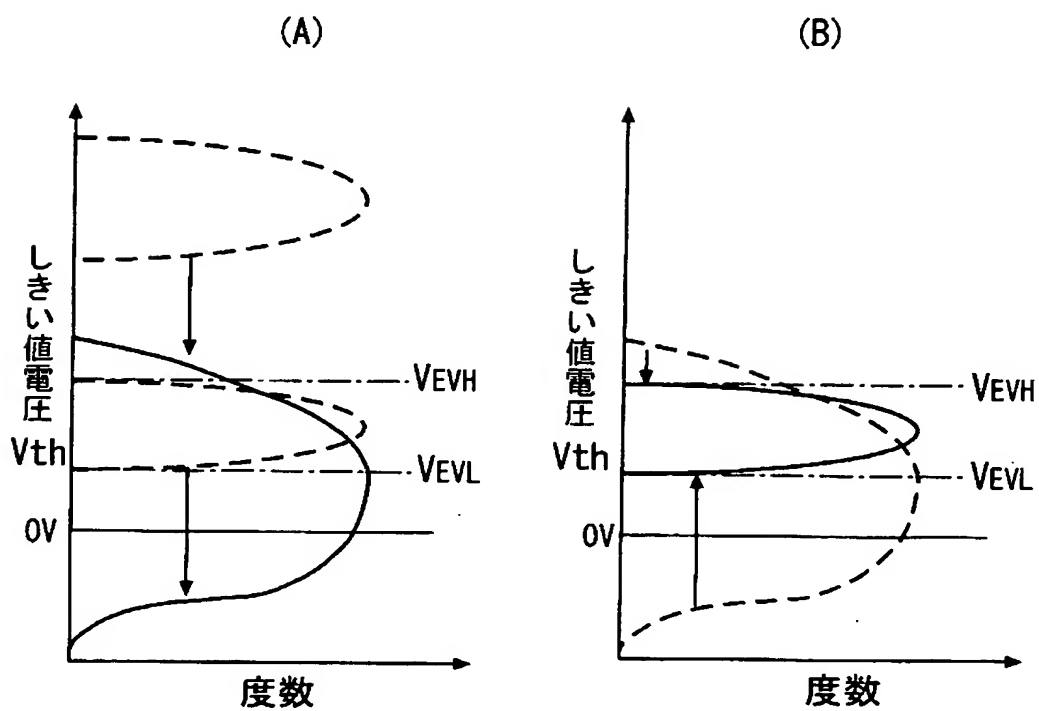
実施例のフラッシュメモリの第 2 の変形例を示すブロック図である。

【図 1 4】

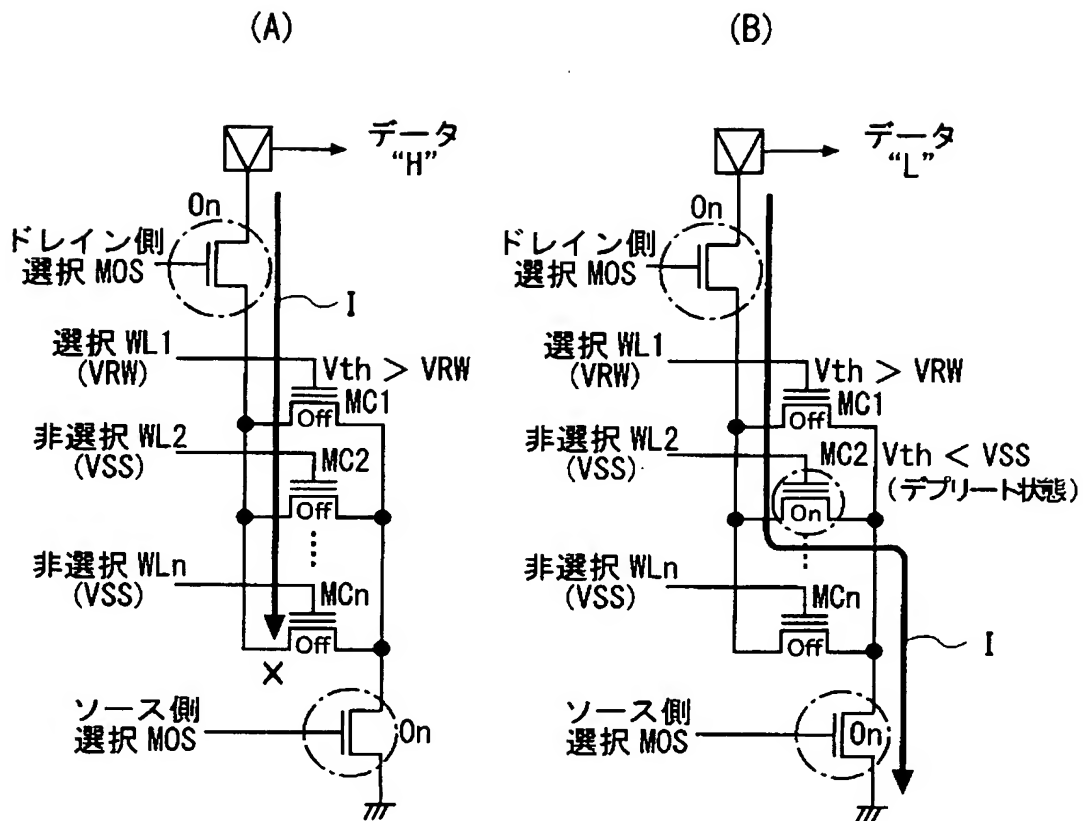
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 AND型やNOR型のフラッシュメモリのような複数のメモリセルが共通のビット線やソース線に並列接続された構成を有する電氣的に書込み、消去可能な不揮発性半導体記憶装置において、書込みまたは消去動作により記憶素子のしきい値電圧を下げる動作をしている途中に電源が遮断されて、デプリート状態のメモリセルが発生した場合にそのデプリート不良のメモリセルを容易に検出できるようにする。

【解決手段】 所定のコマンド入力または電源投入時等に、すべてのワード線を非選択状態にしてビット線に設けられた選択スイッチ（ $Q_{s11} \sim Q_{s1k}$ 、 $Q_{s21} \sim Q_{s2k}$ ）をオンさせて電流が流れるメモリセルがあるか否かをビット線が接続されたセンスアンプで検出してデプリート状態のメモリセルがあるか否かを判定する。そして、デプリート状態のメモリセルがあったときは、ワード線のうち一つに順番に選択レベルの電圧（VSSまたは負電圧）を印加し、残りのワード線は非選択レベル（負電圧またはVSS）にするようにした。

【選択図】 図3



認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 4 3 9 9 2
受付番号	5 0 3 0 0 2 8 0 4 0 5
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 2 月 2 4 日

< 認定情報・付加情報 >

【提出日】 平成15年 2月21日

次頁無

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 43992

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【提出物件の目録】

【包括委任状番号】 0308733

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け  
提出の会社分割による特許権移転登録申請書 を援用  
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 3 - 1 0 8 7 1 2 号 同日提出の出願人  
名義変更届（一般承継）を援用する

【プルーフの要否】 要



## 認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 4 3 9 9 2
受付番号	5 0 3 0 1 2 3 2 4 5 8
書類名	出願人名義変更届（一般承継）
担当官	伊藤 雅美 2 1 3 2
作成日	平成 1 5 年 9 月 2 日

### < 認定情報・付加情報 >

【提出日】 平成15年 7月25日



特願 2 0 0 3 - 0 4 3 9 9 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 3 - 0 4 3 9 9 2

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ

実施例のフラッシュメモリの第2の変形例における手順を示すフローチャートである。

【図15】

本発明の第3の実施例が適用されるNOR型フラッシュメモリのメモリアレイの構成例を示す回路説明図である。

【図16】

実施例のフラッシュメモリのメモリセルのしきい値電圧分布を示す説明図で、図16(A)は正常なメモリアレイにおけるしきい値電圧分布を示す説明図、(B)はデプリート不良セルを有するメモリアレイにおけるしきい値電圧分布を示す説明図である。

【図17】

図17(A)は実施例のフラッシュメモリにおいてデータ消去動作の途中で電源遮断が発生した場合におけるメモリセルのしきい値電圧分布を示す説明図、(B)はデプリート不良を有するメモリアレイの修復後のしきい値電圧分布を示す説明図である。

【図18】

図18(A)はADN型のフラッシュメモリにおいてデプリート不良を含まないメモリ列の読出し時の状態を示す回路説明図、(B)はデプリート不良を含むメモリ列の読出し時の状態を示す回路説明図である。

【符号の説明】

- 10 メモリアレイ
- 11 Xアドレスデコーダ
- 12 センスアンプ
- 13 Yアドレスデコーダ
- 20 制御部
- 30 シーケンスメモリ
- 40 内部電源回路
- MC メモリセル
- WL ワード線

L B L ローカルビット線

G B L グローバルビット線

L S L ローカルソース線

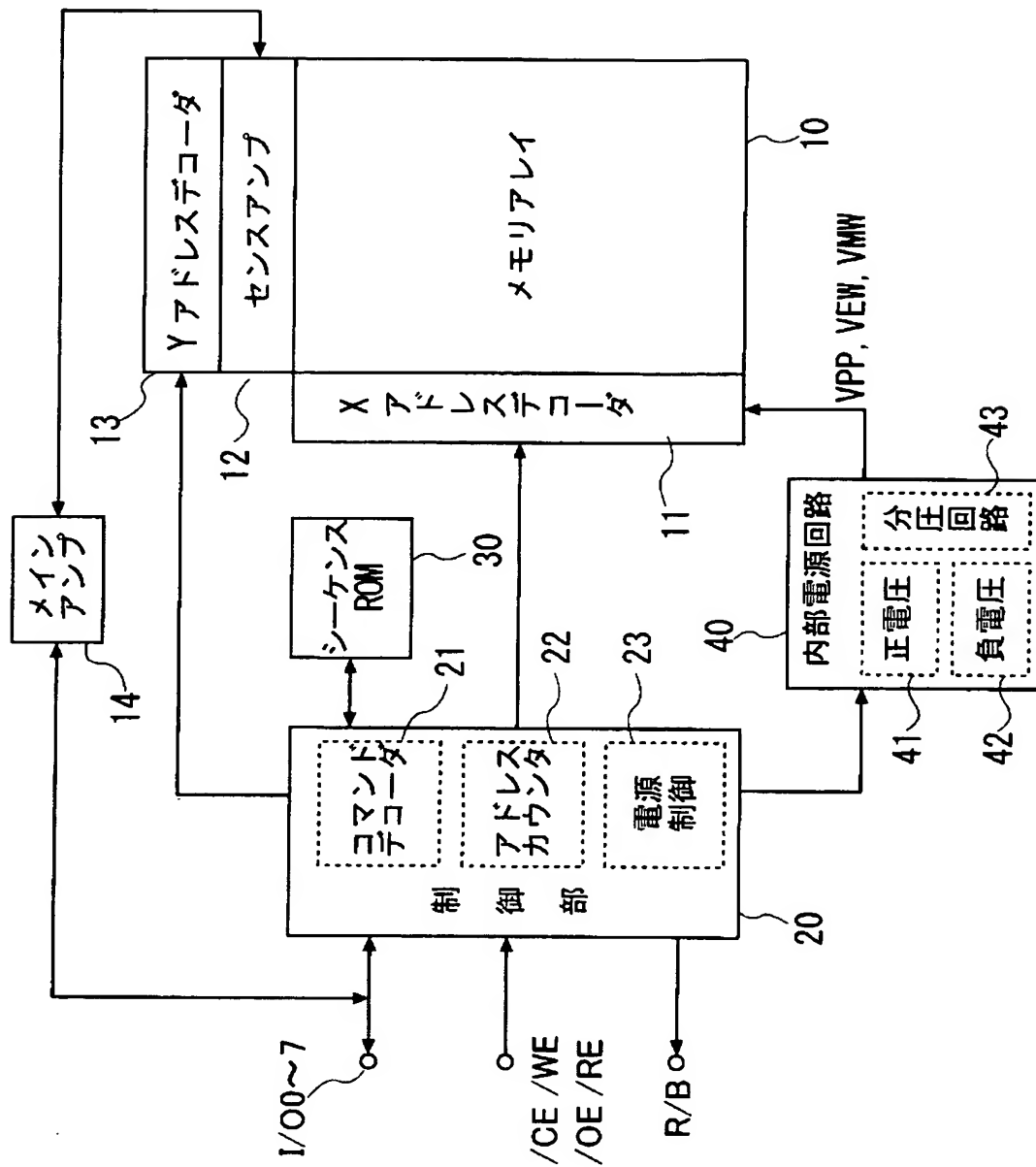
C S L 共通ソース線

S A センスアンプ

【書類名】

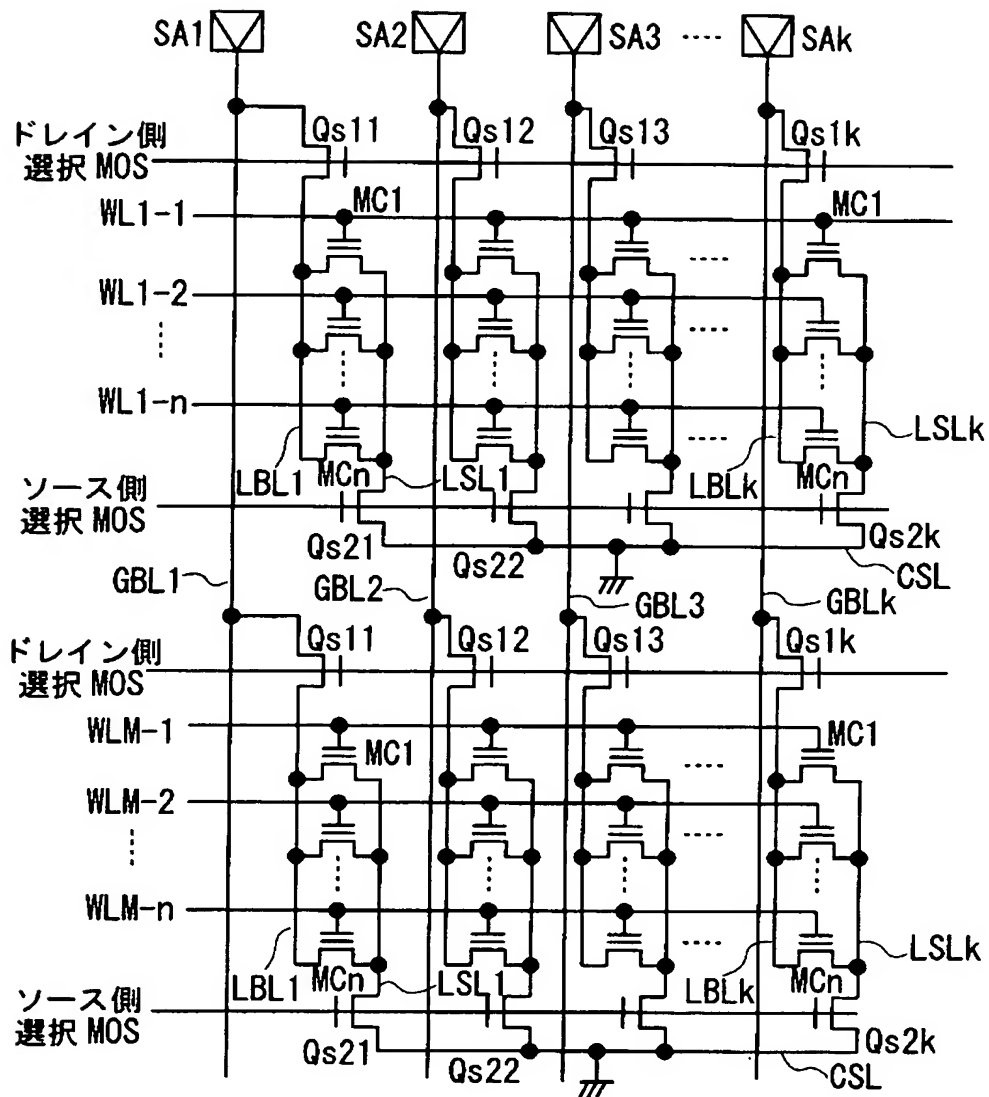
図面

【図 1】

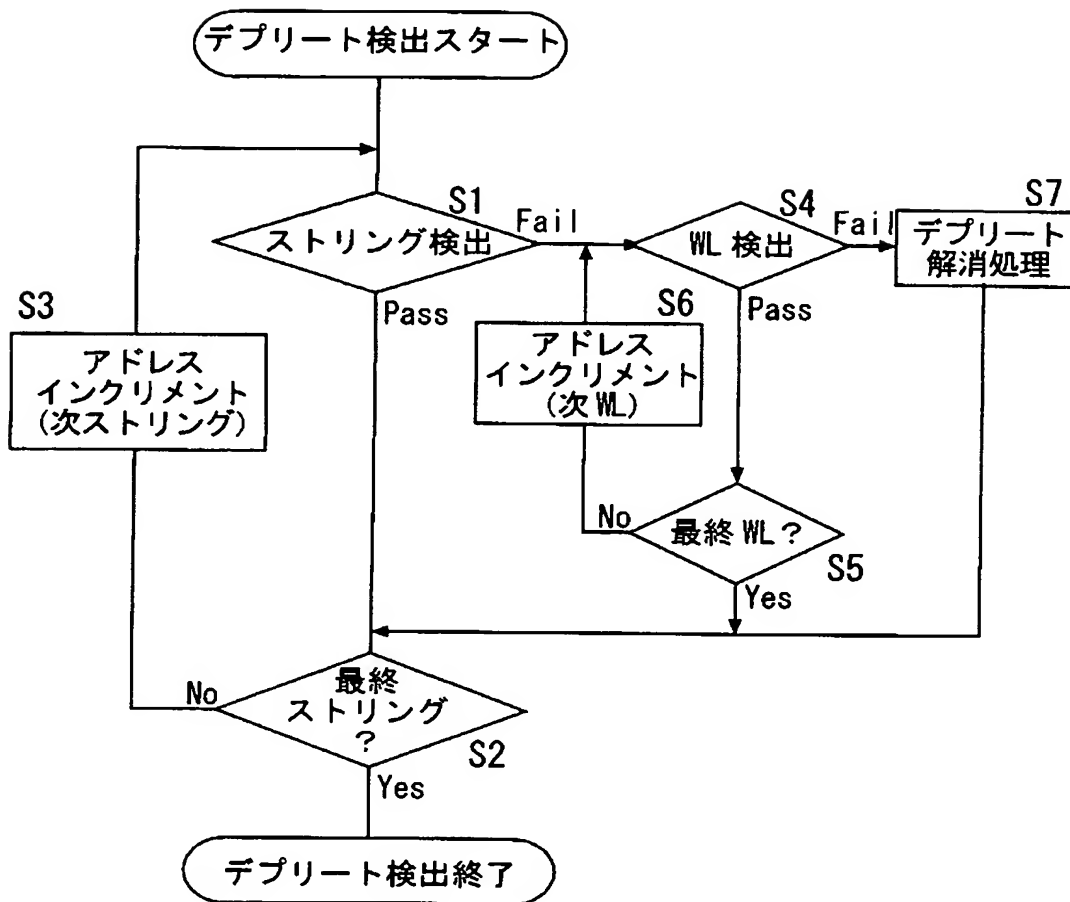




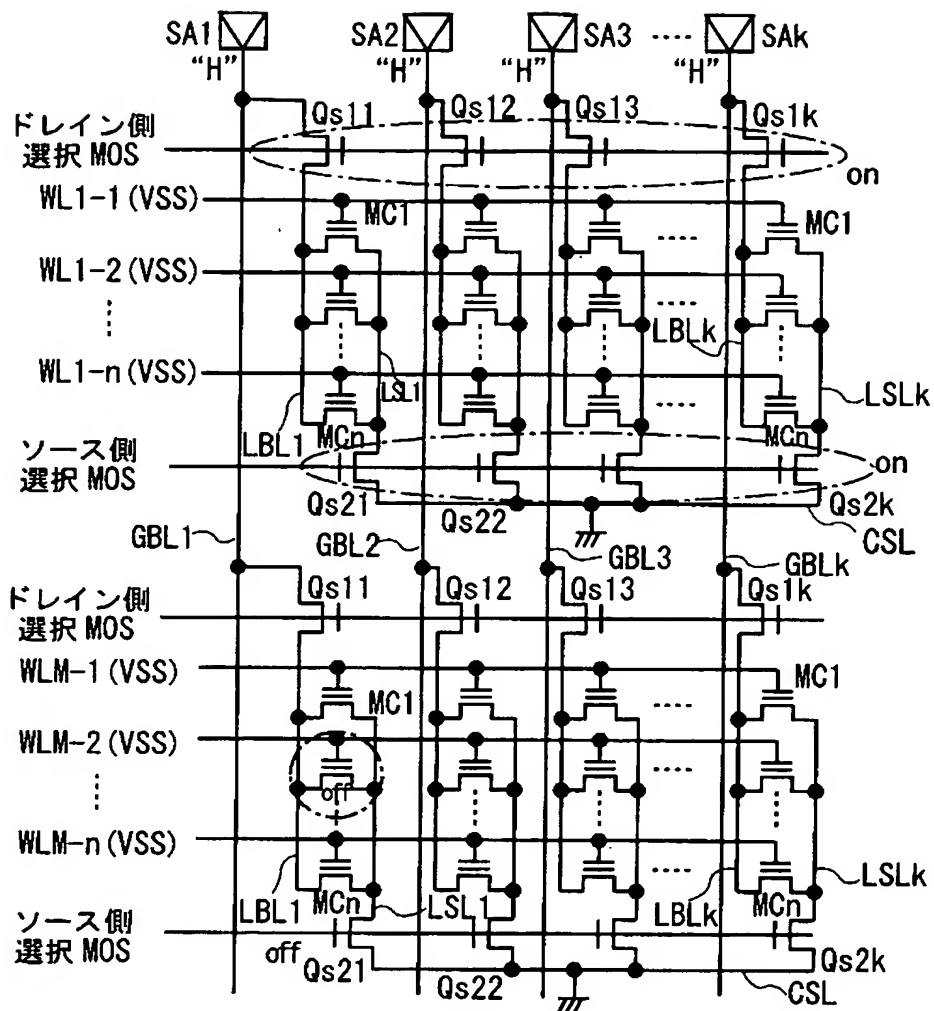
【図 2】



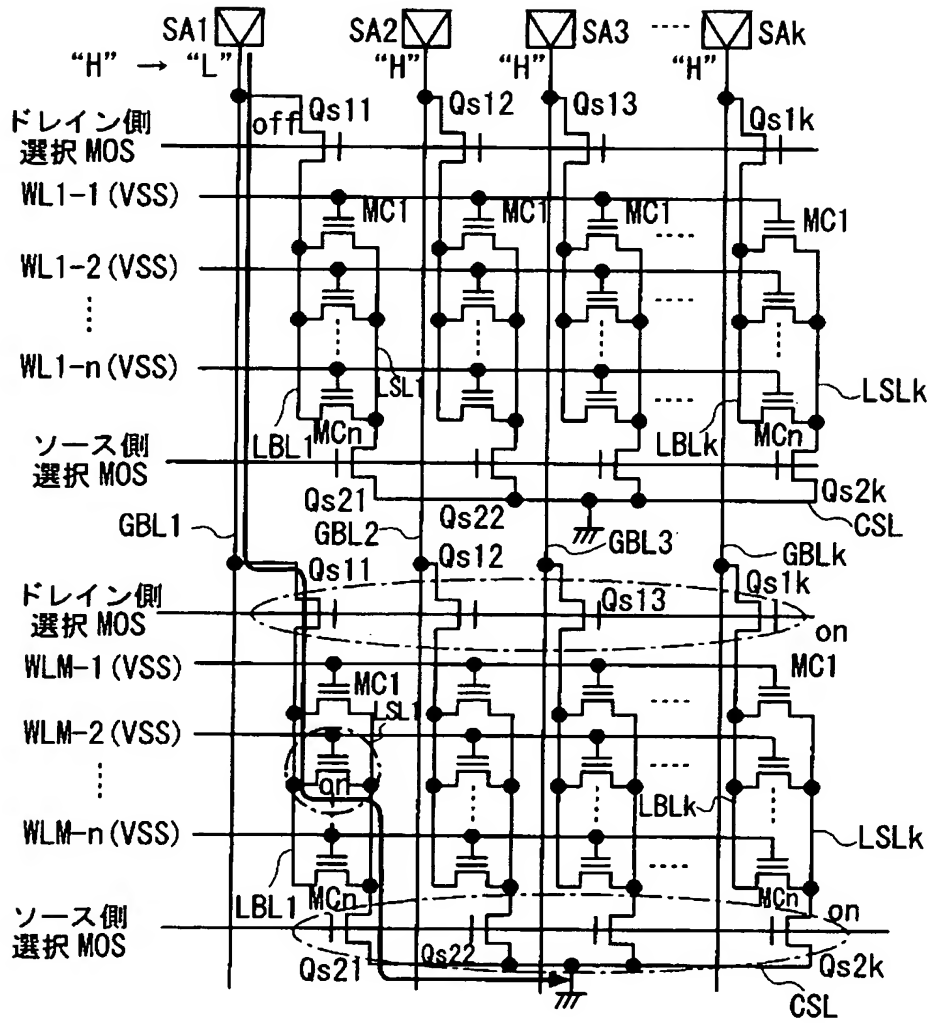
【図 3】



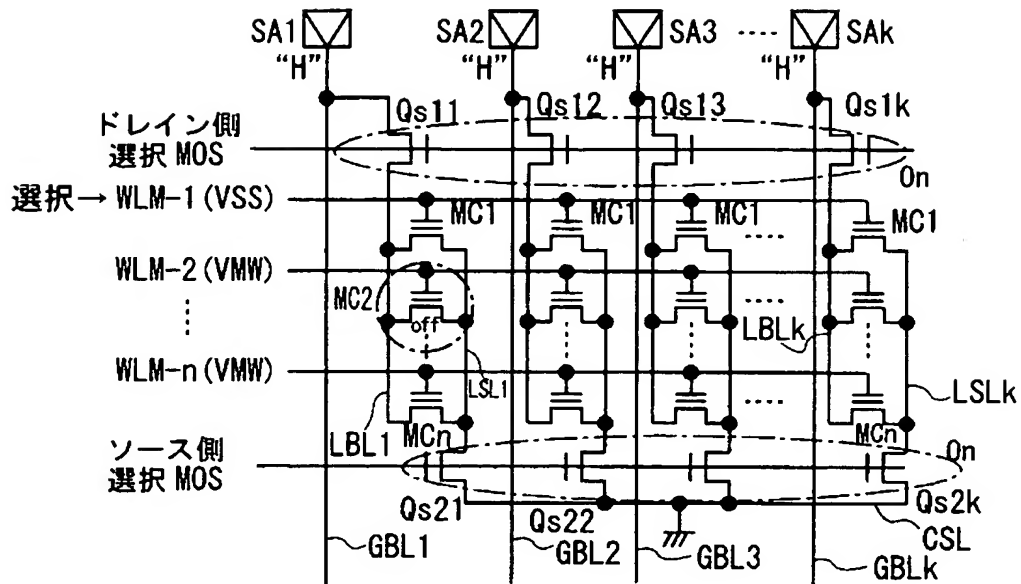
【図 4】



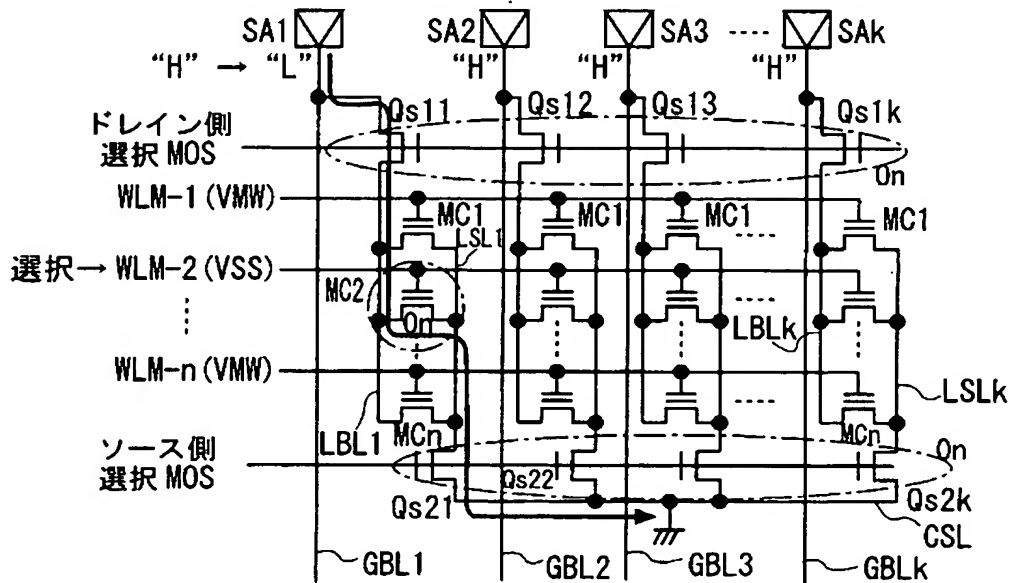
【図 5】



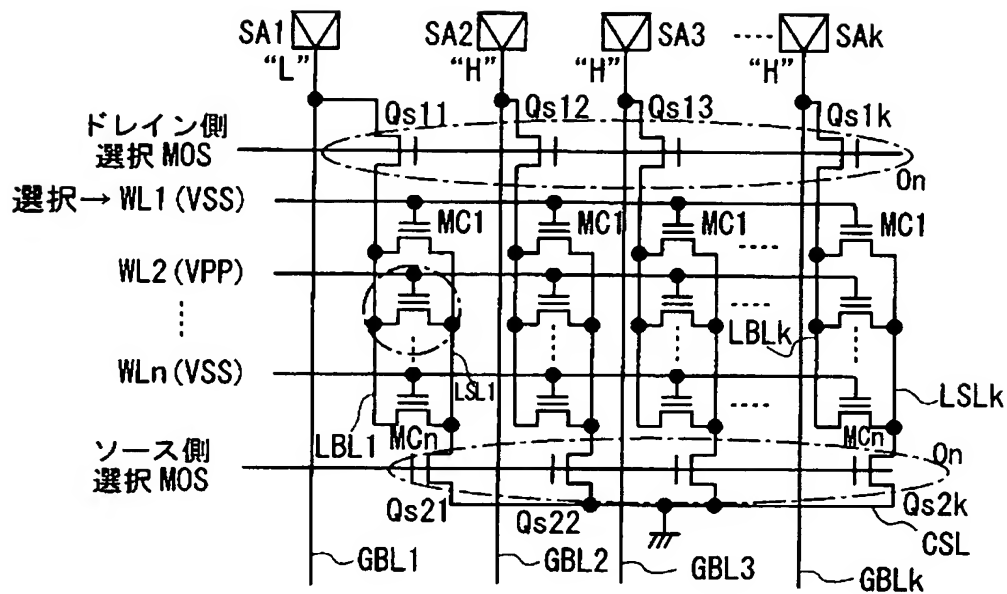
【図 6】



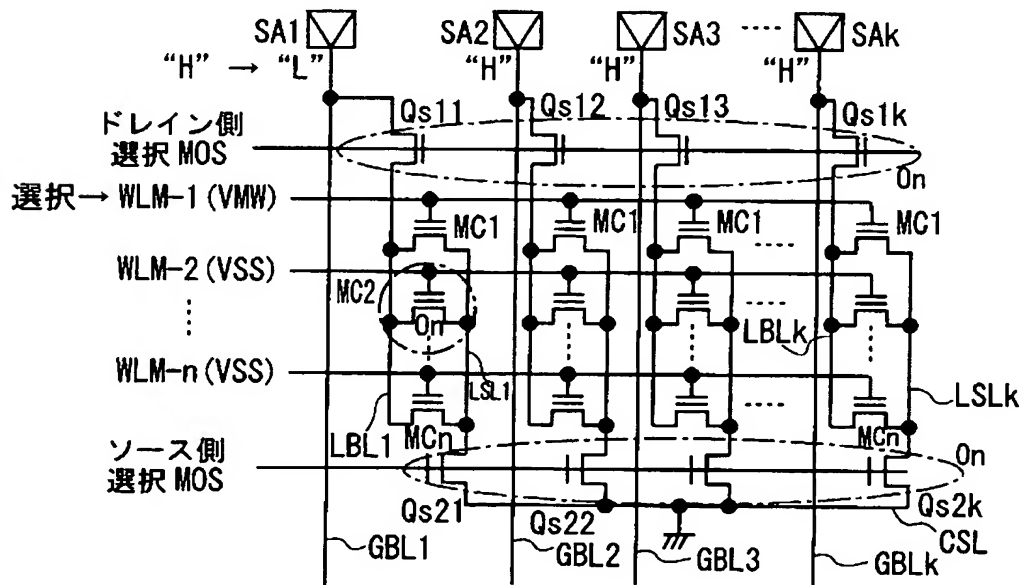
【図 7】



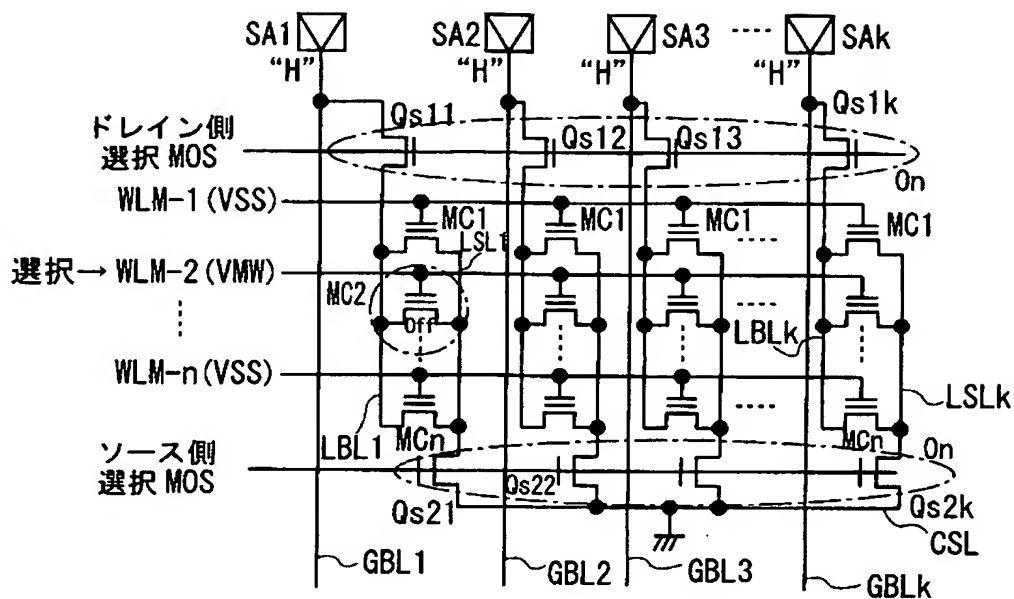
【図 8】



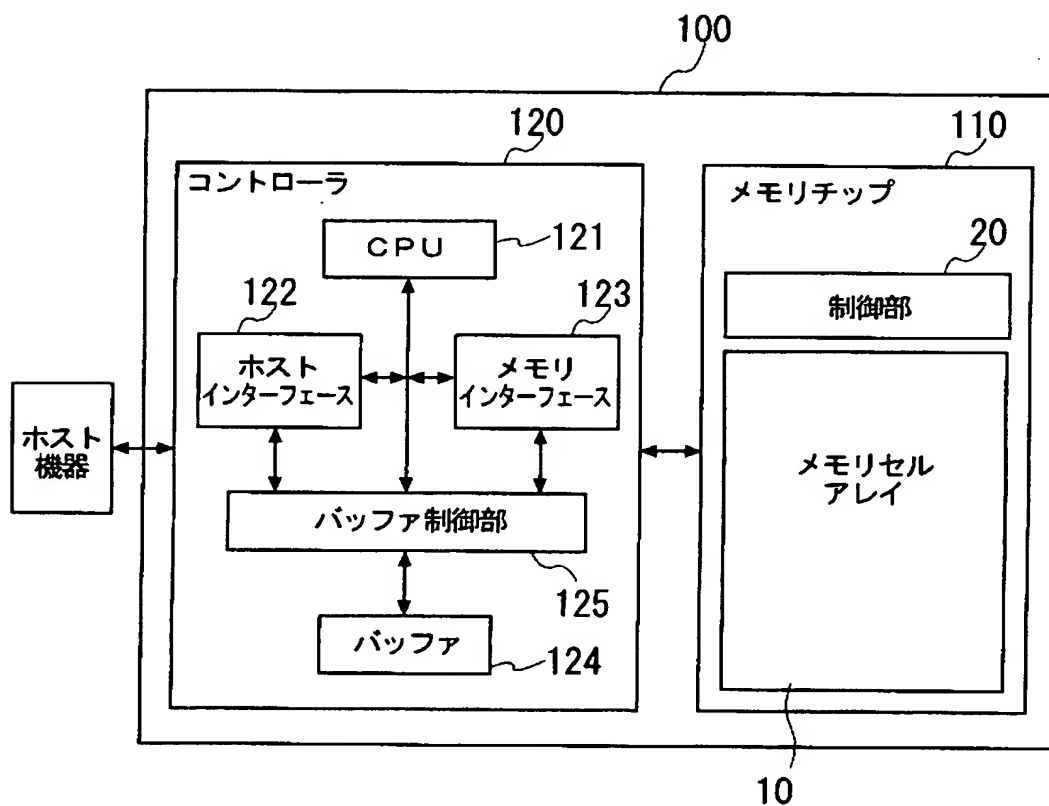
【図 9】



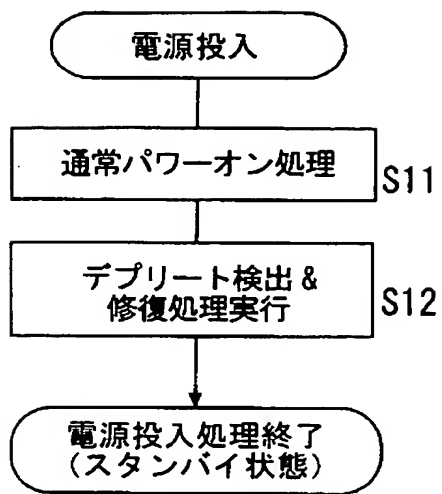
【図 10】



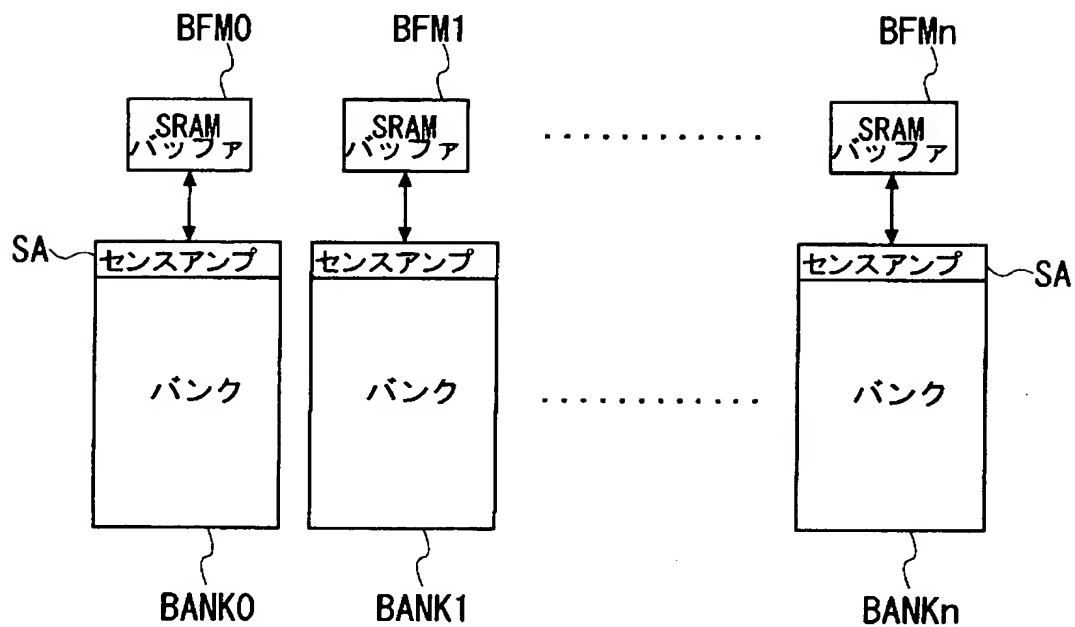
【図 1 1】



【図 12】

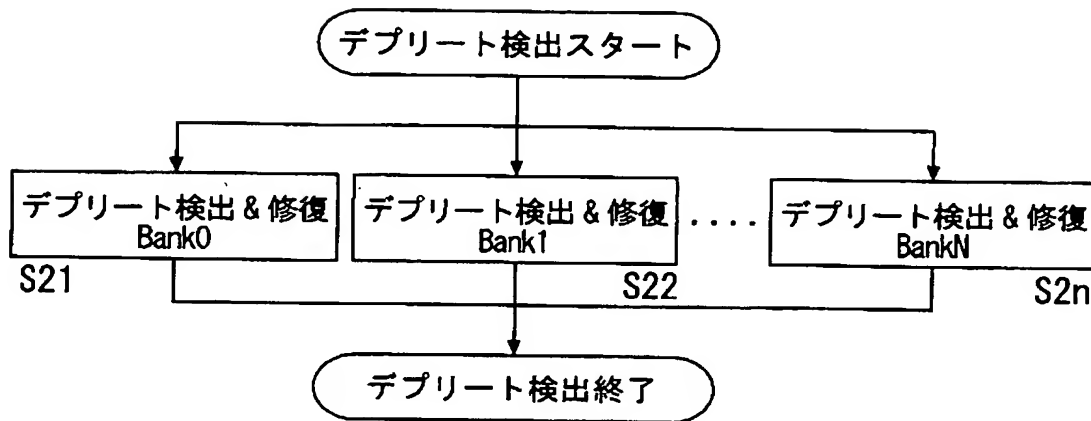


【図 13】





【図 14】



【図 15】

